

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-049363
 (43)Date of publication of application : 18.02.2000

(51)Int.Cl. H01L 29/872

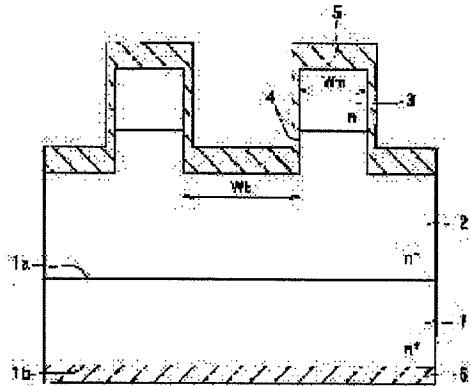
(21)Application number : 10-217722 (71)Applicant : DENSO CORP
 (22)Date of filing : 31.07.1998 (72)Inventor : RAJESH KUMAR
 KOJIMA ATSUSHI

(54) SCHOTTKY DIODE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a Schottky diode in which a Schottky barrier in a reverse directional bias is high and the Schottky barrier in a forward directional bias is low.

SOLUTION: An n- type layer 3 composed of 3C-SiC having a band gap smaller than that of an n- type epitaxial layer 2 is provided on an upper face of the n- type epitaxial layer 2 composed of 4H-SiC or 6H-SiC, also a trench part 4 passing the n- type layer 3 and reaching the n- type epitaxial layer 2 is provided, and an Al film 5 is brought in Schottky contact with the n- type layer 3 and the n- type epitaxial layer 2. With such a structure, at reverse bias, the contact part of the n- type layer 2 with the Al film 5 in a mesa part is pinched off by a depletion layer which extends to the n- type epitaxial layer 2, and at reverse bias, the potential barrier in the mesa part is made higher. Thus, in a reverse directed bias, the potential barrier can be made high in the n- type epitaxial layer 2, and in a forward directed bias, the potential barrier can be lowered in the n- type layer 3. Then, it is possible to realize reduction in the consumption power of a Schottky diode.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-49363

(P2000-49363A)

(43)公開日 平成12年2月18日 (2000.2.18)

(51)Int.Cl.
H 01 L 29/872

識別記号

F I
H 01 L 29/48

テマコード (参考)
P 4M104
D

審査請求 未請求 請求項の数10 O L (全 6 頁)

(21)出願番号

特願平10-217722

(22)出願日

平成10年7月31日 (1998.7.31)

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 ラジエシュ クマール

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72)発明者 小島 淳

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74)代理人 100100022

弁理士 伊藤 祥二 (外1名)

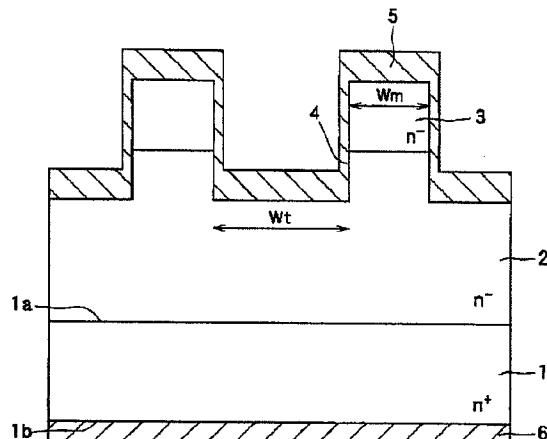
Fターム (参考) 4M104 AA03 BB02 BB36 CC01 CC03
FF08 GG02 GG12 HH15 HH17

(54)【発明の名称】 ショットキーダイオード及びその製造方法

(57)【要約】

【課題】 逆方向バイアスにおけるショットキー障壁が高く、順方向バイアスにおけるショットキー障壁が低くできるショットキーダイオードを提供する。

【解決手段】 4 H-SiC 又は 6 H-SiC からなる n- 型エビ層 2 の上面に該 n- 型エビ層 2 よりもバンドギャップが小さな 3 C-SiC からなる n- 型層 3 を備えると共に、n- 型層 3 を貫通して n- 型エビ層 2 に達する溝部 4 を備え、A1膜 5 を n- 型層 3 及び n- 型エビ層 2 にショットキー接觸させる。このような構成にて、逆バイアス時には n- 型エビ層 2 に延びる空乏層によってメサ部分の n- 型層 2 と A1膜 5 との接觸部をピンチオフし、逆バイアス時にはメサ部分の電位障壁を高くする。これにより、逆方向バイアスにおいては n- 型エビ層 2 にて電位障壁の高くでき、順方向バイアスにおいては n- 型層 3 にて電位障壁を低くすることができる。そして、ショットキーダイオードの消費電力低減を図ることができる。



【特許請求の範囲】

【請求項1】 主表面(1a)とその反対面である裏面(1b)とを有し、高濃度で構成された第1導電型の半導体基板(1)と、

前記半導体基板の主表面上に設けられ、前記半導体基板よりも低濃度である第1導電型の第1の半導体層(2)と、

前記第1の半導体層の上面に設けられ、前記第1の半導体層よりもバンドギャップが小さい、低濃度の第1導電型の第2の半導体層(3)と、

前記第2の半導体層を貫通して前記第1の半導体層に達する溝部(4)と、

前記半導体基板の裏面にオーミック接触された第1の金属層(6)と、

前記第2の半導体層にショットキー接觸されていると共に、前記溝部を介して前記第1の半導体層にもショットキー接觸された第2の金属層(7)とを備えていることを特徴とするショットキーダイオード。

【請求項2】 前記第2の半導体層の幅は、逆方向バイアスがかけられた時に、前記第2の半導体層の下方において、前記第1の半導体層内に延びる空乏層がピンチオフするように設定されていることを特徴とする請求項1に記載のショットキーダイオード。

【請求項3】 前記溝部の深さは、前記第2の半導体層の厚みよりも大きくなっていることを特徴とする請求項1又は2に記載のショットキーダイオード。

【請求項4】 前記第2の半導体層は前記溝部によってメサ形状を構成しており、前記溝部の幅は、前記メサ形状をなす第2の半導体層の幅よりも大きくなっていることを特徴とする請求項1乃至3のいずれか1つに記載のショットキーダイオード。

【請求項5】 前記第2の半導体層は、3C-SiCで構成されていることを特徴とする請求項1乃至4のいずれか1つに記載のショットキーダイオード。

【請求項6】 前記第1の半導体層は、4H-SiC又は6H-SiCで構成されていることを特徴とする請求項1乃至5のいずれか1つに記載のショットキーダイオード。

【請求項7】 前記主表面は、(0001)Si面であることを特徴とする請求項1乃至6のいずれか1つに記載のショットキーダイオード。

【請求項8】 主表面(1a)とその反対面である裏面(1b)とを有し、高濃度で構成された第1導電型の半導体基板(1)を用意する工程と、

前記半導体基板の主表面上に、該半導体基板よりも低濃度である第1導電型の第1の半導体層(2)を形成する工程と、

前記第1の半導体層の上面に前記第1の半導体層よりもバンドギャップが小さな半導体で構成された低濃度の第1導電型の第2の半導体層(3)を形成する工程と、

前記第2の半導体層を貫通して前記前記第1の半導体層に達する溝部(4)を形成する工程と、
前記半導体基板の裏面に、該半導体基板とオーミック接觸となる第1の金属層(6)を形成する工程と、
前記溝内を含む前記第2の半導体層上に、前記第2の半導体層及び前記第1の半導体層にショットキー接觸となる第2の金属層(5)を形成する工程と、を含むことを特徴とするショットキーダイオードの製造方法。

【請求項9】 前記溝部を形成する工程は、前記溝部の深さが前記第2の半導体層の厚みよりも大きくなるようにすることを特徴とする請求項8に記載のショットキーダイオードの製造方法。

【請求項10】 前記第2の半導体層を形成する工程は、エピタキシャル成長によって前記第1の半導体層上に前記第2の半導体層を形成することを特徴とする請求項8又は9に記載のショットキーダイオードの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、金属と半導体とのショットキー障壁を利用したショットキーダイオード(ショットキー・バリア・ダイオード)及びその製造方法に関し、高速スイッチング用のダイオードやMESFETに適用して好適である。

【0002】

【従来の技術】 従来より、金属と半導体とのショットキー障壁を利用したショットキーダイオードが知られている。このショットキーダイオードは、多数キャリアが動作を支配する多数キャリアデバイスであり、PN接合ダイオードのように少数キャリアの蓄積効果がないため、スイッチング速度が早いということで有効である。

【0003】 そして、このショットキーダイオードの耐圧の向上を目的として、炭化珪素(SiC)を使用したショットキーダイオードの研究が進められている。この炭化珪素を使用したショットキーダイオードを図6に示す。高濃度のn⁺型炭化珪素基板50の表面には低濃度のn⁻型エピタキシャル層51が形成されており、このn⁻型エピタキシャル層51上にA1膜52がn⁻型エピタキシャル層51とショットキー接觸するように形成されている。そして、n⁺型炭化珪素基板50の裏面にはT₁やN₁からなる金属膜53がn⁺型炭化珪素基板50とオーミック接觸するように形成されている。

【0004】 また、n⁻型エピタキシャル層51には、ショットキー障壁が大きくなる4Hや6Hの炭化珪素が使用されており、これにより耐圧向上が図られている。

【0005】

【発明が解決しようとする課題】 ショットキーダイオードの電力消費は順方向バイアスにおけるショットキー障壁に起因する接触抵抗と逆方向バイアスにおけるリーキ電流に依存する。このため、電力消費低減のためには、

順方向バイアスにおいては低いショットキー障壁、逆バイアスにおいては高いショットキー障壁となることが理想である。

【0006】しかしながら、上記従来の炭化珪素を使用したショットキーダイオードでは、逆方向バイアスにおける耐圧が高くなるだけでなく、順方向バイアスにおけるショットキー障壁に起因する接触抵抗も大きくなってしまい、電力消費量が多くなるという問題がある。本発明は上記問題に鑑みて成され、逆方向バイアスにおけるショットキー障壁が高く、順方向バイアスにおけるショットキー障壁が小さくできるショットキーダイオード及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため、以下の技術的手段を採用する。請求項1乃至7に記載の発明においては、第1の半導体層の上面に該第1の半導体層よりもバンドギャップが小さな第2の半導体層(3)を備えると共に、第2の半導体層を貫通して第1の半導体層に達する溝部(4)を備え、第2の金属層(7)を第2の半導体層及び第1の半導体層にショットキー接觸させていることを特徴としている。

【0008】このように、第1の半導体層よりもバンドギャップが小さな第2の半導体層を備え、この第2の半導体層も第2の金属層とショットキー接觸させることによって、第1の半導体層と第2の半導体層間のショットキー障壁は大きくなり、第2の半導体層と第2の金属層間のショットキー障壁は小さくなる。このため、逆方向バイアスにおいては第1の半導体層にて耐圧を高くでき、順方向バイアスにおいては第2の半導体層にてショットキー障壁に起因する接触抵抗を低くすることができる。これにより、ショットキーダイオードの消費電力低減を図ることができる。

【0009】具体的には、請求項2に示すように、逆方向バイアスがかけられた時に、第2の半導体層の下方において、第1の半導体層内に延びる空乏層がピンチオフするように、第2の半導体層の幅を設定すれば、ショットキー耐圧の高い溝部の底部で耐圧を持たせることができる。これにより、逆方向バイアス時にはショットキー障壁が低く、耐圧が低い第2の半導体層では耐圧を持たせないようにできる。

【0010】請求項3に記載の発明においては、溝部の深さは、第2の半導体層の厚みよりも大きくなっていることを特徴としている。これにより、第1の半導体層と第2の半導体層との界面が電圧印加時における電界集中によって絶縁破壊されることから防止できる。なお、請求項5に示すように、第2の半導体層をショットキー障壁の低い3C-SiCで構成することが好ましく、また請求項6に示すように、第1の半導体層をショットキー障壁の高い4H-SiC又は6H-SiCで構成することが好ましい。

【0011】請求項7に記載の発明は、半導体基板

(1)の主表面(1a)は、(0001)Si面であることを特徴としている。このように、主表面として(0001)Si面を採用することにより、結晶欠陥が少なく、かつショットキー障壁を高くすることができる。請求項8乃至10に記載の発明においては、主表面(1a)とその反対面である裏面(1b)とを有し、高濃度で構成された第1導電型の半導体基板(1)を用意する工程と、半導体基板の主表面上に、該半導体基板よりも低濃度である第1導電型の第1の半導体層(2)を形成する工程と、第1の半導体層の上面に第1の半導体層よりも電位障壁が小さな半導体で構成された低濃度の第1導電型の第2の半導体層(3)を形成する工程と、第2の半導体層を貫通して第1の半導体層に達する溝部(4)を形成する工程と、半導体基板の裏面に、該半導体基板とオーミック接觸となる第1の金属層(6)を形成する工程と、溝部内を含む第2の半導体層上に、第2の半導体層及び第1の半導体層にショットキー接觸となる第2の金属層(5)を形成する工程と、を含むことを特徴としている。

【0012】このような工程を用いてショットキーダイオードを製造することにより、請求項1に記載されたショットキーダイオードを製造することができる。請求項10に記載の発明においては、第2の半導体層を形成する工程は、エピタキシャル成長によって第1の半導体層上に第2の半導体層を形成することを特徴としている。

【0013】このようにエピタキシャル成長によって第2の半導体層を形成すれば、制御性よく第2の半導体層を形成することができる。なお、上記した括弧内の符号は、後述する実施形態記載の具体的手段との対応関係を示すものである。

【0014】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。図1に本発明の一実施形態を適用したショットキーダイオードの断面構成を示す。以下、この図に基づいてショットキーダイオードの構造について説明する。なお、本実施形態では移動度が大きくできるn型半導体に本発明の一実施形態を適用している。

【0015】ショットキーダイオードには、主表面1aとその反対面である裏面1bを有する高濃度のn⁺型炭化珪素基板1が使用されている。このn⁺型炭化珪素基板1は、6H-SiCや4H-SiC等の炭化珪素で構成されており、このn⁺型炭化珪素基板1の主要面1aとしては(0001)Si面が採用されている。この(0001)Si面を用いることにより結晶欠陥を少なくできると共に、ショットキー障壁を高くすることができる。

【0016】n⁺型炭化珪素基板1の主表面1aには、n⁺型炭化珪素基板1よりも低濃度な第1の半導体層としてのn⁻型エピタキシャル層(以下、n⁻型エピ

層という) 2が形成されている。このn-型エピ層2は、6H-SiCや4H-SiC等の炭化珪素で構成されている。そして、このn-型エピ層2上には、n-型エピ層2と同等の濃度を有する第2の半導体層としてのn-型層3が形成されている。このn-型層3は3C-SiCで構成されている。3C-SiCは、6H-SiCや4H-SiCと比べてショットキー障壁が低くなっている。

【0017】このショットキーダイオードには、n-型層3を貫通してn-型エピ層2まで達する溝部(トレンチ)4が形成されており、この溝部4によってn-型層3及びn-型エピ層2の表層部はメサ形状となっている。この溝部4は深さがn-型層3の厚みよりも大きくなっている。n-型層3とn-型エピ層2との境界部が溝部4の側面に位置している。

【0018】また、n-型層2の幅Wmは、溝部4の底面の幅Wtよりも狭く形成されていると共に、溝部4の深さよりも狭く形成されている。さらに、溝部4内及びn-型層3を覆うように第2の金属層としてのA1膜5が備えられている。このA1膜5がアノード電極を構成している。このA1膜5とn-型層3及びn-型エピ層2とはショットキー接觸している。

【0019】また、n+型半導体基板1の裏面1bには第1の金属層としてのNiA1膜6が形成されている。このNiA1膜6はカソード電極を構成している。このNiA1膜6とn+型半導体基板1とはオーミック接觸している。このように構成されたショットキーダイオードは、NiA1膜6側がA1膜5側よりも高電位となる順方向バイアスがかけられたときには、電子をキャリアとした順方向電流が流れる。

【0020】このとき、電位障壁の低い3C-SiCで構成されたn-型層3がA1膜5と接觸するようにしているため、電位障壁の低いn-型層3を介して順方向電流が流れるようできる。この順方向バイアス時における電圧-順方向電流特性をシミュレーションした。その結果を図2に示す。この図は、3C-SiCとA1とをショットキー接觸させたときにおいて順方向バイアスを印加したときの電圧-順方向電流特性である。なお、図2において順方向電流は1μm²当たりに流れる大きさで示してある。

【0021】この図に示されるように、3C-SiCとA1をショットキー接觸させた場合において順方向電流が立ち上がるときの電圧値は低くなる。このため、3C-SiCからなるn-型層3とA1膜5とのショットキー接觸を備えることにより、電位障壁を低くすることができる。これにより、順方向バイアスにおいては電位障壁の高さを3C-SiCの高さにでき、電位障壁を低くすることができる。

【0022】そして、NiA1膜6側がA1膜5側よりも低電位となる逆方向バイアスがかけられたときには、

n-型エピ層2及びn-型層3とA1膜5との間におけるショットキー障壁により逆方向電流が流れにくくなる。この逆方向バイアスにおける空乏層の延びを図2中に点線で示す。この図に示されるように、空乏層は、炭化珪素と金属との仕事関数の差に応じてn-型エピ層2及びn-型層3内に延びる。そして、n-型エピ層2においては6H-SiCとA1の仕事関数差に相応して空乏層が延び、このn-型エピ層2内に延びる空乏層によってn-型エピ層2の下方においてピンチオフされる。

10 なお、n-型層3の幅Wmを上記幅で設定しているため、溝部4の両側から延びる空乏層によってピンチオフがし易くできる。

【0023】このため、逆方向バイアスにおけるショットキー耐圧は、n-型エピ層2を構成する4H-SiC又は6H-SiCとA1膜5とのショットキー障壁によって決定される。このように、逆方向バイアスにおいては電位障壁の高さを4H-SiC又は6H-SiCの高さにでき、電位障壁を高くすることができる。このように、金属と半導体との接觸部分に、ショットキー障壁の高い4H-SiC又は6H-SiCからなるn-型エピ層2と、ショットキー障壁の低い3C-SiCからなるn-型層3とを組み合わせることにより、逆方向バイアスにおけるショットキー障壁は高く、順方向バイアスにおける電位障壁が小さなショットキーダイオードにすることができる。これにより、ショットキーダイオードの消費電力低減を図ることができる。

【0024】また、上述したように、溝部4の深さがn-型層3の厚みよりも大きくなるようにしており、n-型層3とn-型エピ層2の界面がメサ形状の側面に位置するようになっている。これは溝部4の底面と側面との境界部では電界集中が発生し易く、この部位に結晶形が変化するn-型層3とn-型エピ層2との界面が位置すると電界集中によって絶縁破壊し易くなる可能性があるからであり、このようにn-型層3とn-型エピ層2との界面をメサ形状の側面に位置するようにすることで絶縁破壊を防止することができる。

【0025】次に、図1に示すショットキーダイオードの製造方法について説明する。図4～図5にショットキーダイオードの製造工程を示す。

40 40 【図4(a)に示す工程】まず、100μm程度の6H-SiC(又は4H-SiC)からなる高濃度のn+型炭化珪素基板1を用意する。そして、このn+型炭化珪素基板1の主表面1a上に10.0μm程度の膜厚で6H-SiC(又は4H-SiC)からなる低濃度のn-型エピ層2をエピタキシャル成長させる。

【0026】【図4(b)に示す工程】n-型エピ層2の上面からS⁺イオン及びC⁺イオンのイオン注入を行う。これにより、n-型エピ層2の表層部にダメージ層が形成される。このダメージ層は例えばアモルファス状態となっている。なお、このとき注入されるS⁺イオン

とCイオンの比を1:1としており、後で行うアニール処理でSiイオンとCイオンとを過不足なく反応させて、すべてSiCとなるようにしている。

【0027】【図4(c)に示す工程】アニール処理を施し、ダメージ層を再結晶化させる。これにより、6H-SiCで構成されていたn-型エピ層2の表層部の結晶性が変化して、3C-SiCからなるn-型層3が形成される。

【図5(a)に示す工程】次に、フォト・エッチングによりn-型層3を貫通しn-型エピ層2まで達する溝部4を形成する。これにより、n-型エピ層2の一部とn-型層3とが部分的に突出したメサ形状となる。

【0028】【図5(b)に示す工程】n+型炭化珪素基板1の裏面側にNiA1膜6を成膜し、熱処理を施す等してn+型炭化珪素基板1とNiA1膜6とをオーミック接触させる。これにより、ショットキーダイオードのカソード電極が形成される。

【図5(c)に示す工程】引き続き、溝部4内を含むn-型層3の上面にA1膜5を成膜し、n-型層3及びn-型エピ層2とA1膜5とをショットキー接觸させる。これにより、これにより、ショットキーダイオードのカソード電極が形成され、ショットキーダイオードが完成する。

【0029】このように形成されたショットキーダイオードは、例えばパワースイッチング素子を作製するのに用いることができる。

(他の実施形態) 上記実施形態では、イオン注入によって3C-SiCからなるn-型層3を形成したが、エピタキシャル成長によって3C-SiCからなるn-型層3を形成してもよい。この場合、制御性よく3C-SiCを形成することが可能となるという効果も得られる。

【0030】また、上記実施形態では、n-型層3を形成するためにSiイオンとCイオンをイオン注入した

が、不純物として作用しないもの例えばアルゴン、水素、若しくはヘリウム等を使用しても同様の効果が得られる。さらに、上記実施形態では、ショットキー障壁を小さくするためにn-型層3を3C-SiCで構成したが、n-型エピ層2を構成する炭化珪素の結晶形よりも電位障壁が低いもので構成すれば、消費電力低減の効果を得ることができる。

【0031】そして、上記実施形態ではショットキー接觸させる電極(アノード側電極)としてA1膜5を用いたが、これは4H-SiC又は6H-SiCとショットキー接觸させたときの電位障壁が高く、3C-SiCとショットキー接觸させたときの電位障壁が低いものを選択したからであり、その他の電極材料を用いても上記効果を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態にかかるショットキーダイオードの断面図である。

【図2】図1のショットキーダイオードにバイアスを印加していないときの空乏層の延びを示す図である。

【図3】3C-SiCとA1とをショットキー接觸させたものに順方向バイアスを印加したときの電圧-順方向電流特性を示す図である。

【図4】図1に示すショットキーダイオードの製造工程を説明するための図である。

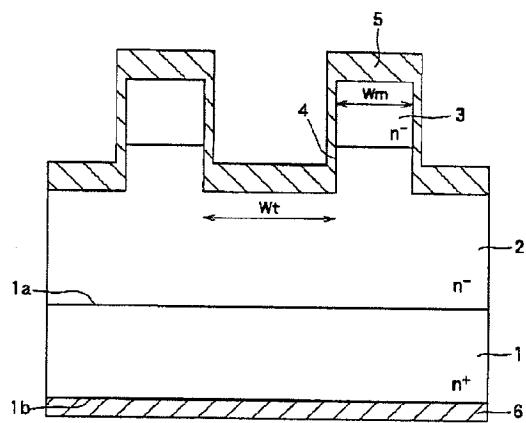
【図5】図4に続くショットキーダイオードの製造工程を説明するための図である。

【図6】従来におけるショットキーダイオードの断面図である。

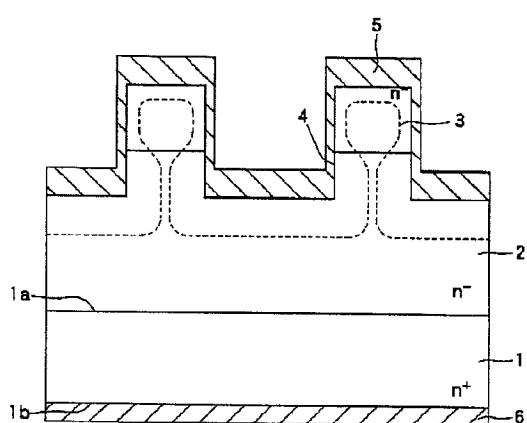
【符号の説明】

30 1…n+型炭化珪素基板、2…n-型エピ層、3…n-型層、4…溝部、5…第2の金属層としてのA1膜、6…第1の金属層としてのNiA1膜。

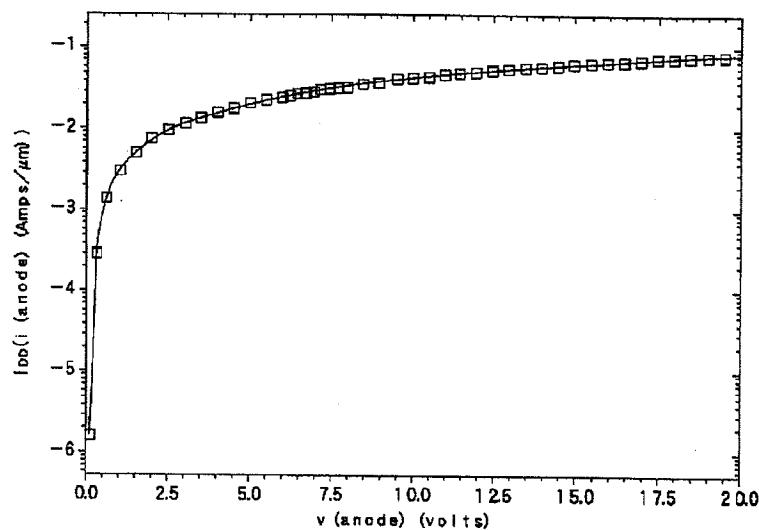
【図1】



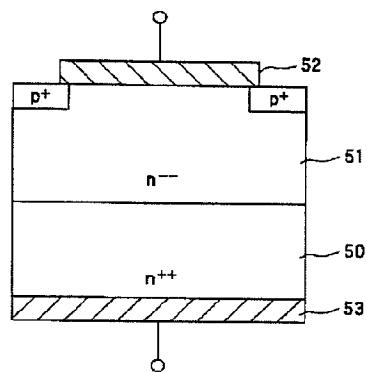
【図2】



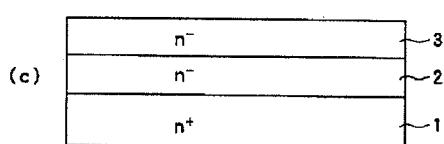
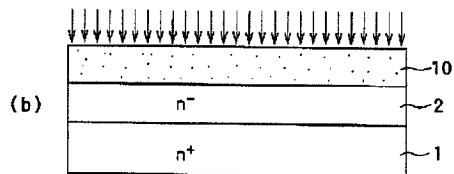
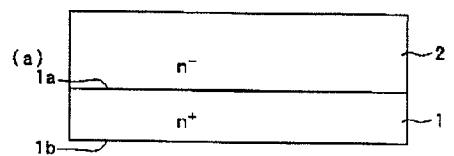
【図3】



【図6】



【図4】



【図5】

